

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-080320

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

G02F 1/1335

G02F 1/1335

(21)Application number : 03-239246

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 19.09.1991

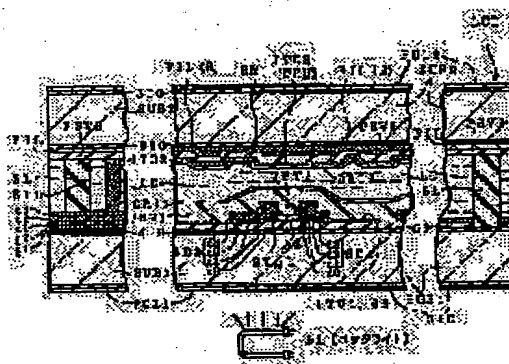
(72)Inventor : AOKI AKIRA
MATSUYAMA SHIGERU
ISHII AKIRA
WATANABE YOSHIKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To suppress deterioration in OFF characteristics of a thin film transistor(TFT) by forming the black matrix of a metallic film provided at its edge part and a dark-color organic material film.

CONSTITUTION: This liquid crystal display device is constituted by separately forming and superposing layers on the sides of lower and upper transparent glass substrates SUB1 and SUB2 one over the other, and then charging liquid crystal LC between the both. On the side of the upper transparent glass substrate SUB2, the black matrix BM is provided as a light shield film so as to make contours of respective picture elements clear and also prevent the OFF characteristics of the TFT from deteriorating. The black matrix BM consists of two layers of the metallic film provided at the edge part constituting the contour and the black organic material film provided inside the metallic film. The metallic film of the black matrix BM contains, for example, Cr, Ni, Al, etc., having high light shielding property and the organic material film is formed by coloring a dyed base material such as acrylic resin with a black dye.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-80320

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.⁵
G 0 2 F 1/1335

識別記号

5 0 5

庁内整理番号

7724-2K

7724-2K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 12 頁)

(21)出願番号 特願平3-239246

(22)出願日 平成3年(1991)9月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 青木 晃

千葉県茂原市早野3300番地株式会社日立製作所茂原工場内

(72)発明者 松山 茂

千葉県茂原市早野3300番地株式会社日立製作所茂原工場内

(74)代理人 弁理士 小川 勝男

最終頁に続く

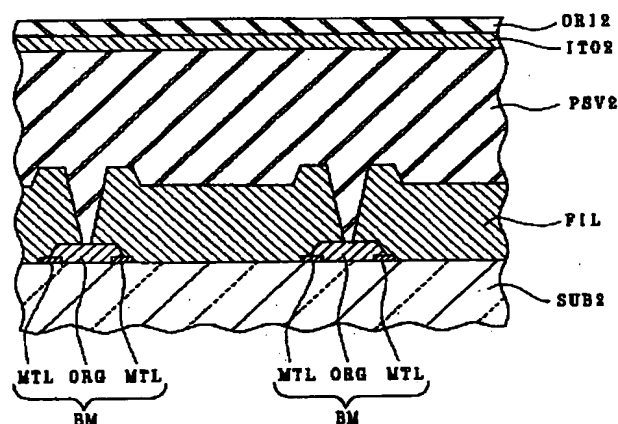
(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】ブラックマトリクスBMが、ブラックマトリクスBMの輪郭を構成する縁部に設けた金属膜MTLと、金属膜MTLの内側に設けた黒色の有機系材料膜ORGの2層からなる。

【効果】光の反射による薄膜トランジスタのオフ特性の劣化、および光の反射による表示品質の低下を抑制でき、かつ、画素の輪郭をはっきりさせることができ、従って、液晶表示装置の表示品質を向上することができる。

図 1



BM…ブラックマトリクス
MTL…金 属 膜
ORG…有機系材料膜
SUB2…上部透明ガラス基板
FIL…カラーフィルタ
PSV2…カラーフィルタの保護膜
ITO2…共通透明画素電極
ORI2…上部配向膜

(2)

1

【特許請求の範囲】

【請求項1】第1の透明画素電極、第1の配向膜を設けた第1の透明基板と、ブラックマトリクス、第2の透明画素電極、第2の配向膜を設けた第2の透明基板とを、互いの上記配向膜が対向するように所定の間隔を隔てて重ね合せ、上記両基板間に液晶を封止してなる液晶表示装置において、上記ブラックマトリクスが、当該ブラックマトリクスの輪郭を構成する縁部に設けた金属膜と、上記金属膜の内側に設けた暗色の有機系材料膜の2層を含んでなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に係り、特に、ブラックマトリクスを有するカラー液晶表示装置に関する。

【0002】

【従来の技術】アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193～210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【0004】液晶表示部（液晶表示パネル）は、例えば、液晶層を基準として下部透明ガラス基板上に薄膜トランジスタ、透明画素電極、薄膜トランジスタの保護膜、液晶分子の向きを設定するための下部配向膜が順次設けられた下部基板と、上部透明ガラス基板上にブラックマトリクス、カラーフィルタ、カラーフィルタの保護膜、共通透明画素電極、上部配向膜が順次設けられた上部基板とを互いの配向膜が向き合うように重ね合わせ、両基板の各配向膜の間に液晶を封入し、基板の縁周囲に配置されたシール材によって液晶が封止されて構成されている。なお、一方の基板側にはバックライトが配置される。ブラックマトリクスは、Cr（クロム）等の金属膜1層から構成され、各画素の輪郭をはっきりさせると共に、薄膜トランジスタのチャネル形成領域となる半導体層に光が当たり、光照射による導電現象が生じ、薄膜トランジスタのオフ特性が劣化するのを防止する遮光の役割をも果たす。

【0005】

2

【発明が解決しようとする課題】従来のCr等の金属膜からなるブラックマトリクスでは、スパッタリング法や蒸着法で設けた薄い金属膜を公知のフォトリソグラフィ技術を用いてパターンニングするため、精度良くパターンを形成することができる。しかし、例えば、薄膜トランジスタを設けた下部透明ガラス基板側にバックライトを配置する場合、下部透明ガラス基板側から照射されるバックライトの光が、上部透明ガラス基板の内面に広い面積をもって存在し、かつCr等の反射性の金属材料からなるブラックマトリクスで内側に反射し、薄膜トランジスタのチャネル形成領域となる半導体層に光が当たり、光照射による導電現象が生じ、薄膜トランジスタのオフ特性が劣化する問題があった。

【0006】また、表示画面側（観察側）となる上部透明ガラス基板の内面には、反射性の金属材料からなり、表示画面の広い面積を占めるブラックマトリクスが形成されているため、表示画面側の外部の光がブラックマトリクスで外側に反射し、画面が見にくく（鏡のようになる）、コントラストが低下し、表示品質が低下する問題があった。

【0007】上記のような問題を解消するために、ブラックマトリクスにCr等の金属膜を用いず、黒色に着色された有機系材料を用い、フォトリソグラフィ技術や印刷法などを用いてブラックマトリクスを形成する方法が提案されている。しかし、有機系材料を用いて形成したブラックマトリクスでは、金属膜ほどの遮光効果がないため、膜厚を厚くする必要があり、その結果、パターン端部の形状・寸法が複雑になってばらつくため、パターン精度が低下し、当初の目的である画素の輪郭をはっきりさせることができなくなり、表示品質が低下する問題が生じる。

【0008】本発明の目的は、光の反射による薄膜トランジスタのオフ特性の劣化、光の反射による表示品質の低下を抑制すると共に、画素の輪郭をはっきりさせることができる液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するため、本発明の液晶表示装置は、ブラックマトリクスが、当該ブラックマトリクスの輪郭を構成する縁部に設けた金属膜と、上記金属膜の内側に設けた暗色（黒色が望ましい）の有機系材料膜の2層を含んでなることを特徴とする。

【0010】

【作用】本発明では、ブラックマトリクスの主要部を、暗色の有機系材料膜で形成したので、従来の問題点であった光の反射による薄膜トランジスタのオフ特性の劣化、および光の反射による表示品質の低下を抑制することができる。また、ブラックマトリクスの輪郭を構成する縁部を金属膜で形成したので、画素の輪郭をはっきりさせることができる。

(3)

3

【0011】

【実施例】以下、本発明を適用すべきアクティブ・マトリクス方式のカラー液晶表示装置を説明する。

【0012】なお、液晶表示装置を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0013】以下、本発明の構成について、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例とともに説明する。

【0014】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0015】図1は、本発明の一実施例によるブラックマトリクスを示す上部透明ガラス基板の断面図である。

【0016】図2は、本発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部（液晶表示素子）の（TFT部（：図3の2-2切断線部）とシール部の）断面図である。

【0017】図3は本発明が適用される液晶表示装置の一画素とその周辺を示す平面図、図4は図2の4-4切断線における断面図である。また、図5（要部平面図）には図3に示す画素を複数配置したときの平面図を示す。

【0018】（画素配置）図3に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0019】（表示部断面全体構造）図2に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンを形成するブラックマトリクスBMが形成されている。なお、ブラックマトリクスBMの詳細については図1と図8を用いて後で説明する。下部透明ガラス基板SUB1は例えば1.1[mm]程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、走査信号線GL、カラーフィルタFILが損傷するのを有効に防止することができる。

【0020】図2の中央部は一画素部分の断面を示しているが、左側は透明ガラス基板SUB1、SUB2の左

4

側縁部分で外部引出配線の存在する部分の断面を示しており、右側は透明ガラス基板SUB1、SUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

【0021】図2の左側、右側のそれぞれに示すシール材SLは液晶LCを封止するように構成されており、液晶封入口（図示していない）を除く透明ガラス基板SUB1、SUB2の縁周囲全体に沿って形成されている。シール材SLは例えばエポキシ樹脂で形成されている。

【0022】上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一個所において、銀ペースト材SILによって下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線はゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

【0023】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、保護膜PSV1、PSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。

【0024】液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間に封入され、シール部SLによってシールされている。

【0025】下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0026】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、ブラックマトリクスBM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0027】この液晶表示装置は下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後上下透明ガラス基板SUB1、SUB2を重ね合わせ、両者間に液晶LCを封入することによって組み立てられる。

【0028】（ブラックマトリクスBM）上部透明ガラス基板SUB2側には、各画素の輪郭をはっきりさせると共に、外部光（図2では上方からの光、図1では下方からの光）が薄膜トランジスタTFTのチャネル形成領域として使用されるi型半導体層ASに当たり、光照射による導電現象が生じ、薄膜トランジスタTFTのオフ特性が劣化するのを防止するために、遮光膜としてブラックマトリクスBMが設けられている。ブラックマトリクスBMは、図1に示すように、当該ブラックマトリクスBMの輪郭を構成する縁部に設けた金属膜MTLと、金属膜MTLの内側に設けた黒色の有機系材料膜ORGの2層から構成されている。ブラックマトリクスBMは、図8のハッチングに示すようなパターンとされている。また、クロスハッチングを付した部分は、金属膜MTL

(4)

5

のパターンを示す。図8の破線は、有機系材料膜ORGのパターンを示す。なお、図8は、図3におけるITO膜からなる第3導電膜d3、カラーフィルタFILおよびブラックマトリクスBMのみを描いた平面図である。ブラックマトリクスBMの金属膜MTLは、光に対する遮蔽性が高い例えばクロム、ニッケルやアルミニウム等の少なくとも1種を含んで形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300Å程度の膜厚、10~60μm程度の幅に形成されている。また、有機系材料膜ORGは、例えばアクリル樹脂、ポリビニル樹脂等の可染性樹脂材料からなる染色基材に黒色の染料で着色して形成されている。また、有機系材料膜ORGは、1~4μm程度の膜厚で形成され、金属膜MTLの端部から5~10μm程度内側に形成されている。

【0029】したがって、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にあるブラックマトリクスBMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。ブラックマトリクスBMは、図8のハッチング部分で示すように各画素の周囲に形成され、つまり、ブラックマトリクスBMは格子状に形成され、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭がブラックマトリクスBMによってはっきりとし、コントラストが向上する。つまり、ブラックマトリクスBMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0030】また、ブラックマトリクスBMの主要部を、黒色の有機系材料膜ORGで形成したので、従来の問題点であった光の反射による薄膜トランジスタTFTのオフ特性の劣化、および光の反射による表示品質の低下を抑制することができる。また、ブラックマトリクスBMの輪郭を構成する縁部を金属膜MTLで形成したので、画素の輪郭をはっきりさせることができる。すなわち、有機系材料膜ORGの端部の形状・寸法のばらつきをパターン精度の良い金属膜MTLによって補正している。

【0031】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分(図3右下部分)がブラックマトリクスBMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0032】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもできる。

【0033】次に、ブラックマトリクスBMの形成方法の一例について説明する。まず、上部透明ガラス基板SUB2上にCr膜をスパッタリング法または蒸着法により全面に形成した後、公知のフォトリソグラフィ技術を用いて図8のクロスハッチングで示すパターンのように加工する。次に、アクリル樹脂等の可染性樹脂をスピ

6

ンコート法やロールコート法により塗布する。この可染性樹脂は、例えば光硬化型レジストが好ましく、公知のフォトリソグラフィ技術により容易にパターンニングすることができる。その後、所定のマスクを介して紫外線を照射し、現像を行ない、図8の破線に示すパターンのように加工する。次に、黒色染料液により可染性樹脂の染色を行ない、タンニン酸や酒石酸アンチモニルナトリウムを用いて、防染処理を行ない、黒色の有機系材料膜ORGを形成してブラックマトリクスBMを完成する。なお、パターンニングした樹脂を黒色染料によって染色するのではなく、予めアクリル樹脂やポリビニル樹脂にカーボンブラック、黒色顔料の少なくとも一方を混合したものを塗布し、上記と同様にパターンニングしてもよい。また、有機系材料膜ORGは印刷法を用いて形成してもよい。

【0034】(カラーフィルタFIL) カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成され(図9)、染め分けられている(図9は図5の第3導電膜層d3、ブラックマトリクスBMおよびカラーフィルタFILのみを描いたもので、B、R、Gの各カラーフィルタFILはそれぞれ、45°、135°、クロスのハッチを施してある)。カラーフィルタFILは図8に示すように透明画素電極ITO1の全てを覆うように大き目に形成され、ブラックマトリクスBMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0035】カラーフィルタFILは次のように形成することができる。まず、金属膜MTLと有機系材料膜ORGの2層からなるブラックマトリクスBMが選択的に形成された上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0036】(薄膜トランジスタTFT) 薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0037】各画素の薄膜トランジスタTFTは、画素内において2つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、主にゲート

(5)

7
電極GT、ゲート絶縁膜GI、i型非晶質シリコン(Si)からなるi型半導体層AS、一对のソース電極SD1、ドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、この液晶表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし、以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

【0038】(ゲート電極GT)ゲート電極GTは図6(図3の第1導電膜g1、第2導電膜g2およびi型半導体層ASのみを描いた平面図)に詳細に示すように、走査信号線GLから垂直方向(図3および図6において上方向)に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTFTの形成領域において大きい段差を作らないように、単層の第1導電膜g1で構成する。第1導電膜g1は例えばスパッタで形成されたクロム(Cr)膜を用い、1000[Å]程度の膜厚で形成する。

【0039】このゲート電極GTは図2、図3および図6に示されているように、i型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトBLを取り付けた場合、この不透明なクロムからなるゲート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も含めて)幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャンネル長)Lとの比、すなわち相互コンダクタンス g_m を決定するファクタ W/L をいくつにするかによって決められる。

【0040】この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0041】なお、ゲート電極GTのゲートおよび遮光の機能面からだけで考えれば、ゲート電極GTおよび走査信号線GLは単一の層で一体に形成してもよく、この場合不透明導電材料としてシリコンを含有させたアルミニウム(Al)、純アルミニウム、パラジウム(Pd)を含有させたアルミニウム等を選ぶことができる。

【0042】(走査信号線GL)走査信号線GLは第1

8

導電膜g1およびその上部に設けられた第2導電膜g2からなる複合膜で構成されている。この走査信号線GLの第1導電膜g1はゲート電極GTの第1導電膜g1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g2は例えばスパッタで形成されたアルミニウム膜を用い、1000~5500[Å]程度の膜厚で形成する。第2導電膜g2は走査信号線GLの抵抗値を低減し、信号伝達速度の高速化(画素の情報の書込特性向上)を図ることができるように構成されている。

【0043】また、走査信号線GLは第1導電膜g1の幅寸法に比べて第2導電膜g2の幅寸法を小さく構成している。すなわち、走査信号線GLはその側壁の段差形状がゆるやかになっている。

【0044】(絶縁膜GI)絶縁膜GIは薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIは例えばプラズマCVDで形成された窒化シリコン膜を用い、3000[Å]程度の膜厚で形成する。

【0045】(i型半導体層AS)i型半導体層ASは、図6に示すように、複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

【0046】このi型半導体層ASは、供給ガスの成分を変えて Si_3N_4 からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のPをドーブしたN(+)型半導体層d0(図2)も同様に連続して約400[Å]の厚さに形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)型半導体層d0およびi型半導体層ASは図2、図3および図6に示すように独立した島状にパターニングされる。

【0047】i型半導体層ASは、図3および図6に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

【0048】(ソース電極SD1、ドレイン電極SD2)複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図2、図3および図7(図3の第1~第3導電膜d1~d3のみを描いた平面図)で詳細に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

【0049】ソース電極SD1、ドレイン電極SD2の

9

それぞれは、N (+) 型半導体層 d 0 に接触する下層側から、第1導電膜 d 1、第2導電膜 d 2、第3導電膜 d 3 を順次重ね合わせて構成されている。ソース電極 SD 1 の第1導電膜 d 1、第2導電膜 d 2 および第3導電膜 d 3 は、ドレイン電極 SD 2 の第1導電膜 d 1、第2導電膜 d 2 および第3導電膜 d 3 と同一製造工程で形成される。

【0050】第1導電膜 d 1 はスパッタで形成したクロム膜を用い、500~1000[Å]の膜厚（この液晶表示装置では、600[Å]程度の膜厚）で形成する。クロム膜は膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜はN (+) 型半導体層 d 0 との接触が良好である。クロム膜は後述する第2導電膜 d 2 のアルミニウムがN (+) 型半導体層 d 0 に拡散することを防止するいわゆるバリア層を構成する。第1導電膜 d 1 としては、クロム膜の他に高融点金属 (Mo、Ti、Ta、W) 膜、高融点金属シリサイド (MoSi₂、TiSi₂、TaSi₂、WSi₂) 膜で形成してもよい。

【0051】第1導電膜 d 1 を写真処理でパターンニングした後、同じ写真処理用マスクを用いて、あるいは第1導電膜 d 1 をマスクとして、N (+) 型半導体層 d 0 が除去される。つまり、i 型半導体層 AS 上に残っていた N (+) 型半導体層 d 0 は第1導電膜 d 1 以外の部分がセルフアラインで除去される。このとき、N (+) 型半導体層 d 0 はその厚さ分は全て除去されるようエッチされるので、i 型半導体層 AS も若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

【0052】しかる後、第2導電膜 d 2 がアルミニウムのスパッタリングで3000~5500[Å]の膜厚（この液晶表示装置では、3500[Å]程度の膜厚）に形成される。アルミニウム膜はクロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極 SD 1、ドレイン電極 SD 2 および映像信号線 DL の抵抗値を低減するように構成されている。第2導電膜 d 2 としてはアルミニウム膜の他にシリコンや銅 (Cu) を添加物として含有させたアルミニウム膜で形成してもよい。

【0053】第2導電膜 d 2 の写真処理技術によるパターンニング後、第3導電膜 d 3 が形成される。この第3導電膜 d 3 はスパッタリングで形成された透明導電膜 (Indium-Tin-Oxide ITO: ネサ膜) からなり、1000~2000[Å]の膜厚（この液晶表示装置では、1200[Å]程度の膜厚）で形成される。この第3導電膜 d 3 はソース電極 SD 1、ドレイン電極 SD 2 および映像信号線 DL を構成するとともに、透明画素電極 ITO 1 を構成するようになっている。

【0054】ソース電極 SD 1 の第1導電膜 d 1、ドレイン電極 SD 2 の第1導電膜 d 1 のそれぞれは、上層の第2導電膜 d 2 および第3導電膜 d 3 に比べて内側に（チャンネル領域内に）大きく入り込んでいる。つまり、

(6)

10

これらの部分における第1導電膜 d 1 は第2導電膜 d 2、第3導電膜 d 3 とは無関係に薄膜トランジスタ TFT のチャンネル長 L を規定できるように構成されている。

【0055】ソース電極 SD 1 は透明画素電極 ITO 1 に接続されている。ソース電極 SD 1 は、i 型半導体層 AS の段差形状（第1導電膜 g 1 の膜厚、N (+) 型半導体層 d 0 の膜厚および i 型半導体層 AS の膜厚を加算した膜厚に相当する段差）に沿って構成されている。具体的には、ソース電極 SD 1 は、i 型半導体層 AS の段差形状に沿って形成された第1導電膜 d 1 と、この第1導電膜 d 1 の上部にそれに比べて透明画素電極 ITO 1 と接続される側を小さいサイズで形成した第2導電膜 d 2 と、この第2導電膜 d 2 から露出する第1導電膜 d 1 に接続された第3導電膜 d 3 とで構成されている。ソース電極 SD 1 の第2導電膜 d 2 は第1導電膜 d 1 のクロム膜がストレスの増大から厚く形成できず、i 型半導体層 AS の段差形状を乗り越えられないので、この i 型半導体層 AS を乗り越えるために構成されている。つまり、第2導電膜 d 2 は厚く形成することでステップカバレージを向上している。第2導電膜 d 2 は厚く形成できるので、ソース電極 SD 1 の抵抗値（ドレイン電極 SD 2 や映像信号線 DL についても同様）の低減に大きく寄与している。第3導電膜 d 3 は第2導電膜 d 2 の i 型半導体層 AS に起因する段差形状を乗り越えることができないので、第2導電膜 d 2 のサイズを小さくすることで、露出する第1導電膜 d 1 に接続するように構成されている。第1導電膜 d 1 と第3導電膜 d 3 とは接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、ソース電極 SD 1 と透明画素電極 ITO 1 とを確実に接続することができる。

【0056】ソース電極 SD 1 は透明画素電極 ITO 1 に接続されている。ソース電極 SD 1 は、i 型半導体層 AS の段差形状（第1導電膜 g 1 の膜厚、N (+) 型半導体層 d 0 の膜厚および i 型半導体層 AS の膜厚を加算した膜厚に相当する段差）に沿って構成されている。具体的には、ソース電極 SD 1 は、i 型半導体層 AS の段差形状に沿って形成された第1導電膜 d 1 と、この第1導電膜 d 1 の上部にそれに比べて透明画素電極 ITO 1 と接続される側を小さいサイズで形成した第2導電膜 d 2 と、この第2導電膜 d 2 から露出する第1導電膜 d 1 に接続された第3導電膜 d 3 とで構成されている。ソース電極 SD 1 の第2導電膜 d 2 は第1導電膜 d 1 のクロム膜がストレスの増大から厚く形成できず、i 型半導体層 AS の段差形状を乗り越えられないので、この i 型半導体層 AS を乗り越えるために構成されている。つまり、第2導電膜 d 2 は厚く形成することでステップカバレージを向上している。第2導電膜 d 2 は厚く形成できるので、ソース電極 SD 1 の抵抗値（ドレイン電極 SD 2 や映像信号線 DL についても同様）の低減に大きく寄与している。第3導電膜 d 3 は第2導電膜 d 2 の i 型半

(7)

11

導体層ASに起因する段差形状を乗り越えることができないので、第2導電膜d2のサイズを小さくすることで、露出する第1導電膜d1に接続するように構成されている。第1導電膜d1と第3導電膜d3とは接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、ソース電極SD1と透明画素電極ITO1とを確実に接続することができる。

【0057】(透明画素電極ITO1) 透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0058】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つ例えば薄膜トランジスタTFT1に欠陥が発生したときには、製造工程においてレーザ光等によって、薄膜トランジスタTFT1と映像信号線DLとを切り離すとともに、薄膜トランジスタTFT1と透明画素電極ITO1とを切り離せば、点欠陥、線欠陥にはならず、しかも2つの薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することはほとんどないから、点欠陥が発生する確率を極めて小さくすることができる。

【0059】(保護膜PSV1) 薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は例えばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、8000 [A]程度の膜厚で形成する。

【0060】(共通透明画素電極ITO2) 共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)に応答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。コモン電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位である。

【0061】(保護膜PSV2) 保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は例えばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0062】(表示装置全体等価回路) 表示マトリクス部の等価回路とその周辺回路の結線図を図10に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0063】図中、Xは映像信号線DLを意味し、添字

12

G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endは走査タイミングの順序に従って付加されている。

【0064】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0065】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0066】(保持容量素子Caddの構造) 透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIと同一層で構成されている。

【0067】保持容量素子Caddは、図6からも明らかなように、走査信号線GLの第1導電膜g1の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第1導電膜g1は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0068】保持容量素子Caddを構成するために重ね合わされる透明画素電極ITO1と電極PL1との間の一部には、ソース電極SD1と同様に、段差形状を乗り越える際に透明画素電極ITO1が断線しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITO1の面積(開口率)を低下しないように、できる限り小さく構成する。(保持容量素子Caddの等価回路とその動作) 図3に示される画素の等価回路を図11に示す。図11において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIである。Cpixは透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0069】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 ΔV_g の影響を低減するように働く。この様子を式で表すと、次式のようになる。

【0070】

13

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、 ΔV_{lc} は ΔV_g による中点電位の変化分を表わす。この変化分 ΔV_{lc} は液晶LCに加わる直流成分の原因となるが、保持容量 C_{add} を大きくすればする程、その値を小さくすることができる。また、保持容量素子 C_{add} は放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0071】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、したがって寄生容量 C_{gs} が大きくなり、中点電位 V_{lc} はゲート（走査）信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、保持容量素子 C_{add} を設けることによりこのデメリットも解消することができる。

【0072】保持容量素子 C_{add} の保持容量は、画素の書き込特性から、液晶容量 C_{pix} に対して4～8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、寄生容量 C_{gs} に対して8～32倍（ $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ）程度の値に設定する。

【0073】（保持容量素子 C_{add} 電極線の結線方法）保持容量電極線としてのみ使用される初段の走査信号線GL（ Y_0 ）は、図10に示すように、共通透明画素電極ITO2（ V_{com} ）に接続する。共通透明画素電極ITO2は、図2に示すように、液晶表示装置の周縁部において銀ペースト材SLによって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電膜（ g_1 および g_2 ）は走査信号線GLと同一製造工程で構成されている。この結果、最終段の保持容量電極線GLは、共通透明画素電極ITO2に簡単に接続することができる。

【0074】初段の保持容量電極線 Y_0 は最終段の走査信号線 Y_{end} に接続、 V_{com} 以外の直流電位点（交流接地点）に接続するかまたは垂直走路回路Vから1つ余分に走査パルス Y_0 を受けると接続してもよい。

【0075】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0076】例えば、上記実施例では、アクティブ・マトリクス方式の液晶表示装置について説明したが、単純マトリクス方式の液晶表示装置にも適用できることは言

(8)

14

うまでもない。

【0077】また、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でも本発明は有効である。

【0078】

【発明の効果】以上説明したように、本発明の液晶表示装置では、ブラックマトリクスの主要部を、当該ブラックマトリクスの輪郭を構成する縁部に設けた金属膜の内側に設けた暗色の有機系材料膜で形成したので、従来の問題点であった光の反射による薄膜トランジスタのオフ特性の劣化、および光の反射による表示品質の低下を抑制することができる。また、ブラックマトリクスの輪郭を構成する縁部を金属膜で形成したので、画素の輪郭をはっきりさせることができる。従って、液晶表示装置の表示品質を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるブラックマトリクスを示す上部透明ガラス基板の断面図である。

【図2】本発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の（TFT部（図3の2-2切断線部）とシール部の）断面図である。

【図3】本発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図である。

【図4】図3の4-4切断線における断面図である。

【図5】図3に示す画素を複数配置した液晶表示部の要部平面図である。

【図6】図3に示す画素の所定の層のみを描いた平面図である。

【図7】図3に示す画素の所定の層のみを描いた平面図である。

【図8】図3に示す画素の所定の層のみを描いた平面図である。

【図9】図5に示す画素電極層、遮光膜およびカラーフィルタ層のみを描いた要部平面図である。

【図10】アクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図11】図3に示す画素の等価回路図である。

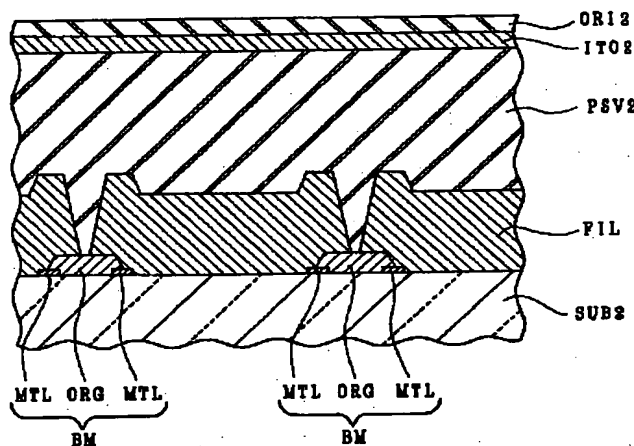
【符号の説明】

BM…ブラックマトリクス、MTL…金属膜、ORG…有機系材料膜、SUB2…上部透明ガラス基板、FIL…カラーフィルタ、PSV2…カラーフィルタの保護膜、ITO2…共通透明画素電極、ORI2…上部配向膜。

(9)

【図1】

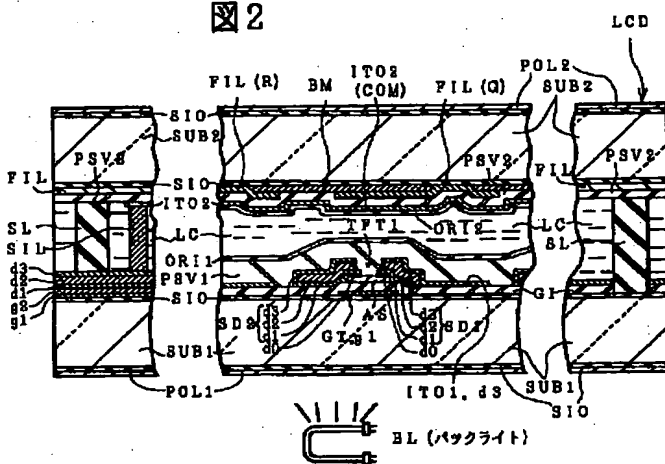
図1



BM…ブラックマトリクス
MTL…金属膜
ORG…有機系材料膜
SUB2…上部透明ガラス基板
FIL…カラーフィルタ
PSV2…カラーフィルタの保護膜
ITO2…共通透明画素電極
ORI2…上部配向膜

【図2】

図2

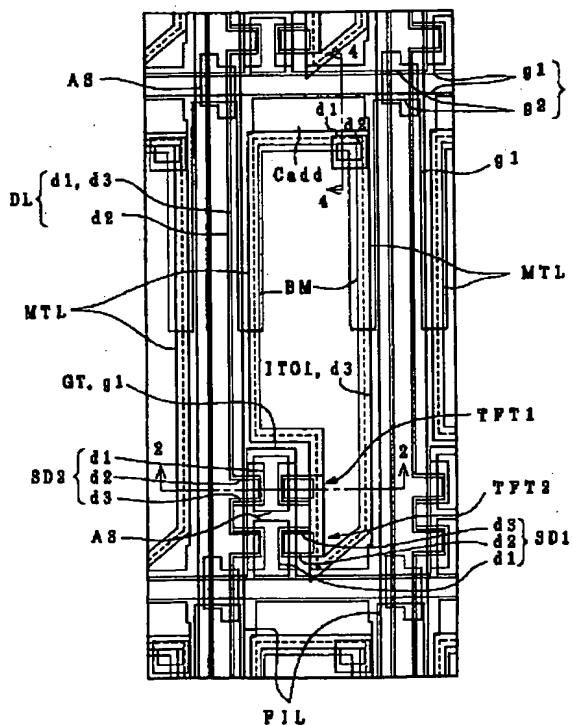


POL1, POL2…偏光板
SUB2…上部ガラス基板
FIL…カラーフィルタ
PSV2…カラーフィルタの保護膜
ITO2…共通透明画素電極
ORI2…上部配向膜
LC…液晶
ORI1…下部配向膜
BM…ブラックマトリクス
PSV1…TFTの保護膜

ITO1 (図43)…透明画素電極
SD…ソース・ドレイン電極 (図41~43)
AS…1型半導体層
GI…ゲート絶縁膜
GT…ゲート電極 (図g1, g2)
SUB1…下部ガラス基板
BL…バックライト
SIO…酸化シリコン膜

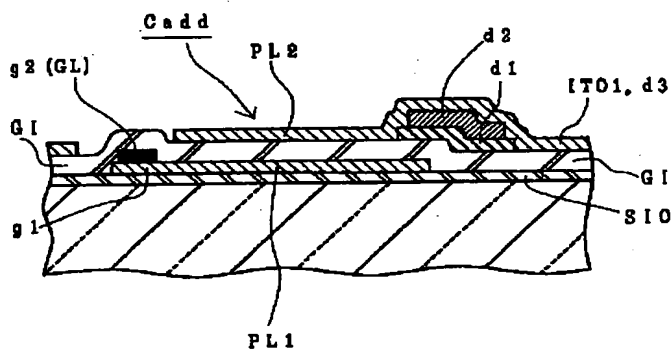
【図3】

図3



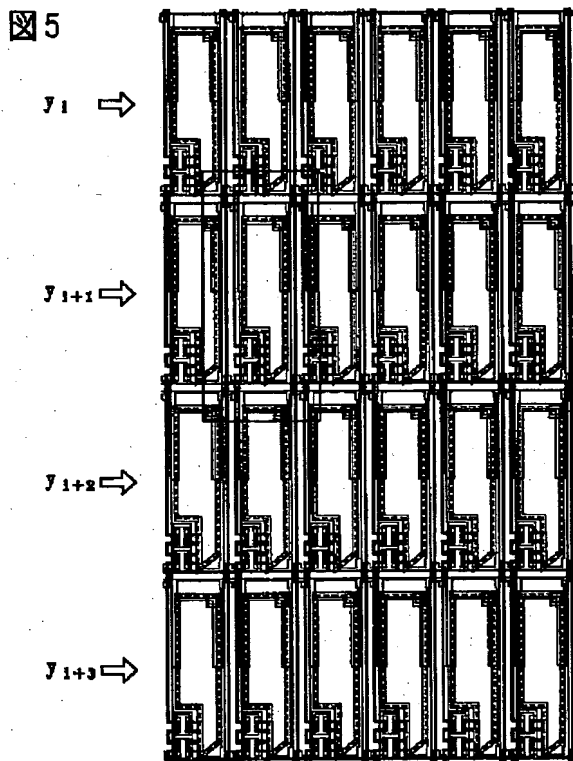
【図4】

図4

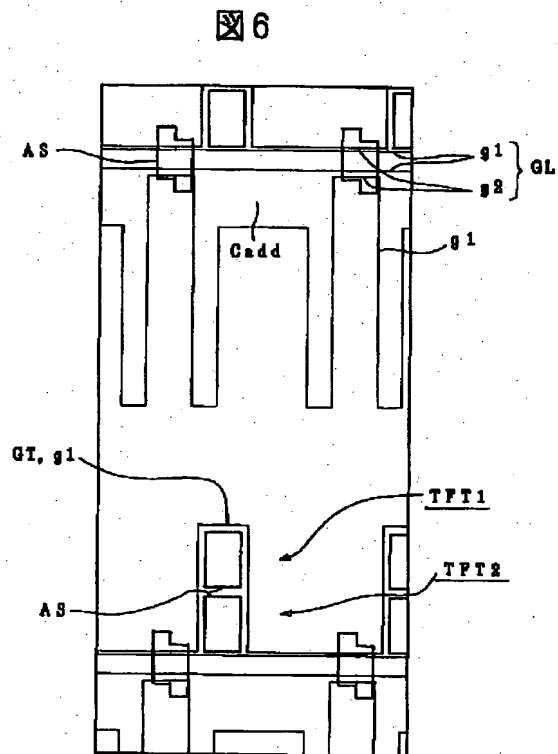


(10)

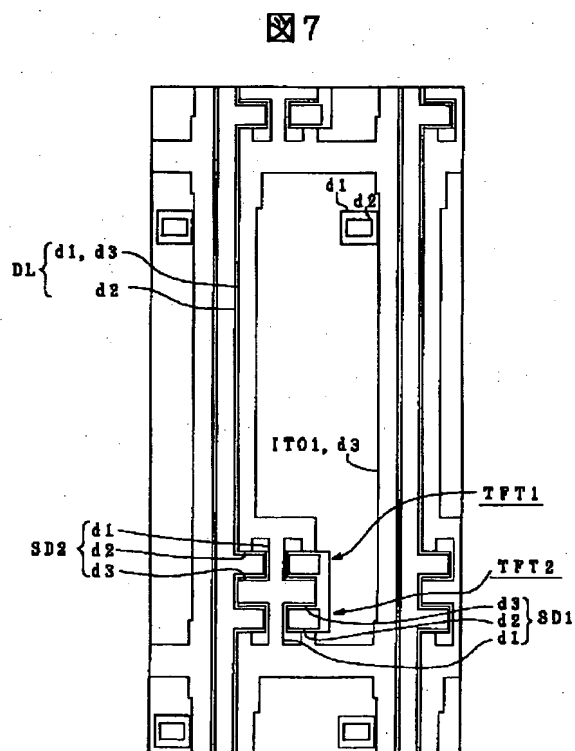
【図5】



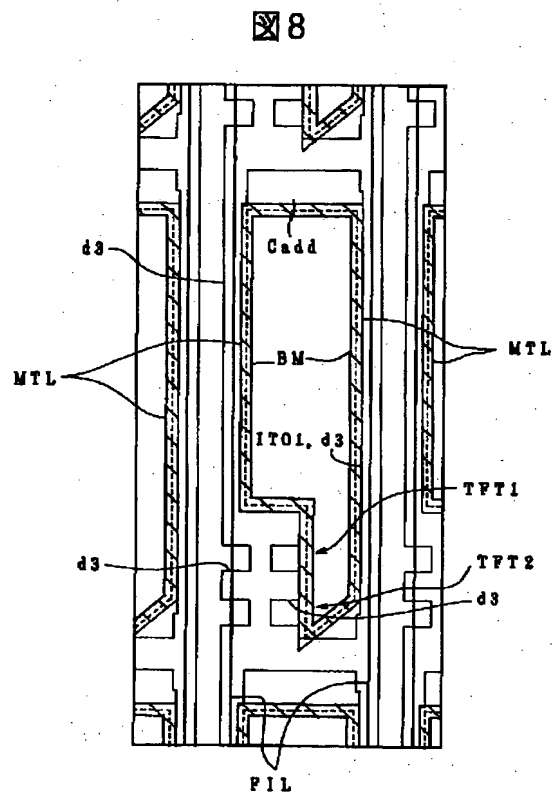
【図6】



【図7】

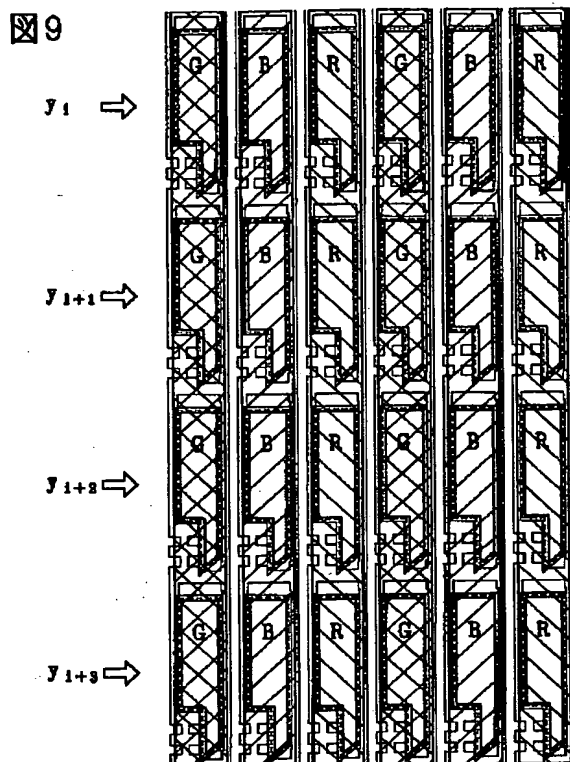


【図8】



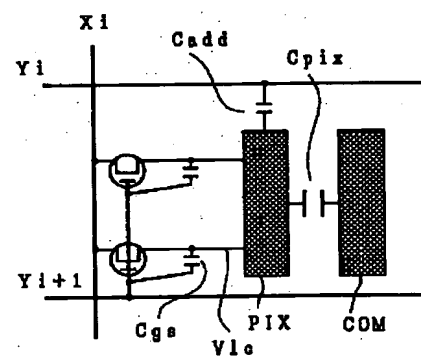
(11)

【図9】



【図11】

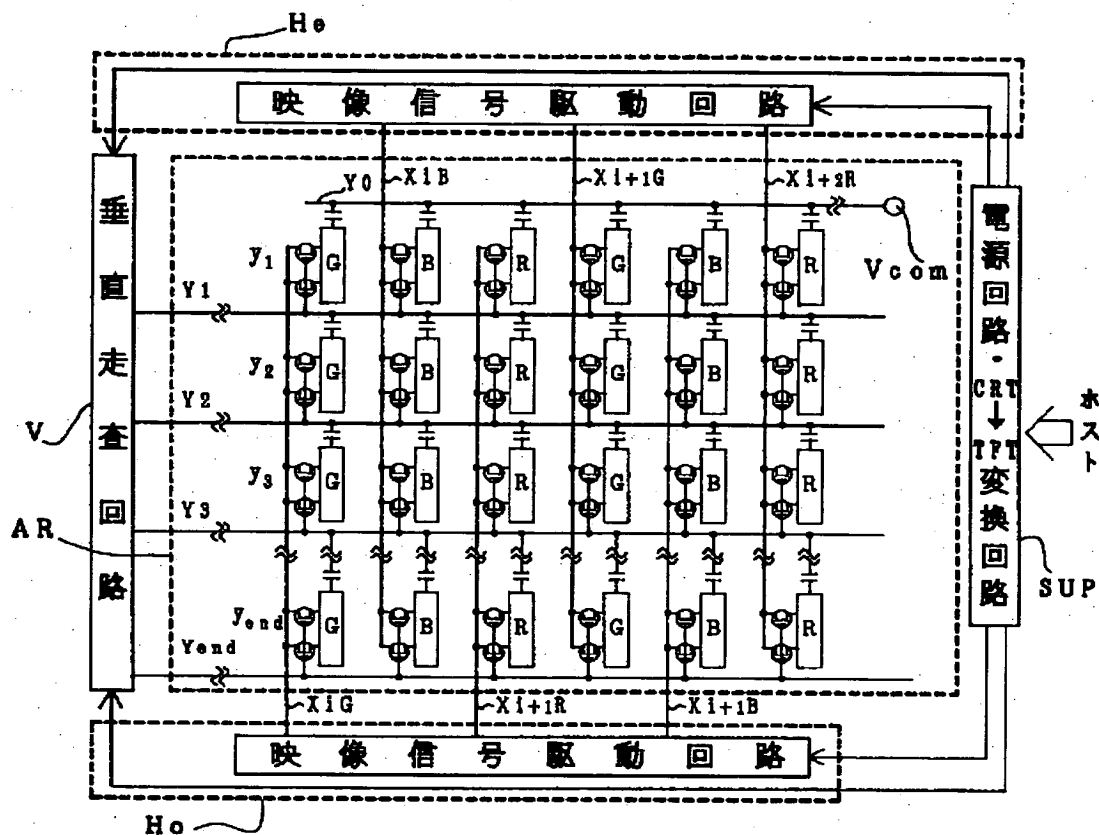
図11



(12)

【図10】

図 10



フロントページの続き

(72)発明者 石井 彰
千葉県茂原市早野3681番地日立デバイスエ
ンジニアリング株式会社内

(72)発明者 渡辺 善樹
千葉県茂原市早野3681番地日立デバイスエ
ンジニアリング株式会社内

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st transparence substrate and black matrix which prepared the 1st transparence pixel electrode and the 1st orientation film, In the liquid crystal display which separates predetermined spacing and comes to close liquid crystal between superposition and both the above-mentioned substrates so that the mutual above-mentioned orientation film may counter the 2nd transparence substrate which prepared the 2nd transparence pixel electrode and the 2nd orientation film The liquid crystal display characterized by the above-mentioned black matrix coming to contain two-layer [of the metal membrane prepared in the edge which constitutes the profile of the black matrix concerned, and the dark-colored organic system ingredient film prepared inside the above-mentioned metal membrane].

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a liquid crystal display, and relates to the color liquid crystal display which has a black matrix especially.

[0002]

[Description of the Prior Art] The liquid crystal display of an active matrix prepares a nonlinear element (switching element) corresponding to each of two or more pixel electrodes arranged in the shape of a matrix. Since liquid crystal in each pixel is always driven theoretically (duty ratio 1.0), compared with the so-called passive matrix which has adopted the time-sharing actuation method, an active method has good contrast and is becoming an especially indispensable technique with a color liquid crystal display. A thin film transistor (TFT) is typical as a switching element.

[0003] in addition, the liquid crystal display of the active matrix which used the thin film transistor -- for example, "12.. mold active-matrix method color liquid crystal display which adopted redundant configuration", Nikkei electronics, and page 193- it Nikkei-tuna-UHIRU-publishes, and is come out and known on December 15, 1986 [210 or].

[0004] The liquid crystal display section (liquid crystal display panel) is based for example, on a liquid crystal layer. Or a lower transperence glass substrate A thin film transistor, The lower substrate with which the lower orientation film for setting up a transperence pixel electrode, the protective coat of a thin film transistor, and the sense of a liquid crystal molecule was prepared one by one, On an up transperence glass substrate, the protective coat of a black matrix, a light filter, and a light filter, Liquid crystal is enclosed between each orientation film of superposition and both substrates so that the mutual orientation film may face each other the up substrate with which a common transperence pixel electrode and the up orientation film were prepared one by one, and liquid crystal is closed and constituted by the sealant arrange around [edge] a substrate. In addition, a back light is arranged at one substrate side. Light is equivalent to the semi-conductor layer used as the channel formation field of a thin film transistor, the electric conduction phenomenon by optical exposure arises, and a black matrix also plays the role of the protection from light which prevents that the off property of a thin film transistor deteriorates while it consists of one layer of metal membranes, such as Cr (chromium), and clarifies the profile of each pixel.

[0005]

[Problem(s) to be Solved by the Invention] In the black matrix which consists of metal membranes, such as the conventional Cr, since patterning of the thin metal membrane prepared with the sputtering method or vacuum depositio is carried out using a well-known photolithography technique, a pattern can be formed with a sufficient precision. However, when [for example,] a back light is arranged to the lower transperence glass substrate side which prepared the thin film transistor, The light of the back light irradiated from a lower transperence glass substrate side exists in the inner surface of an up transperence glass substrate with a large area. And it reflected inside by the black matrix which consists of a metallic material of reflexivity, such as Cr, light was equivalent to the semi-conductor layer used as the channel formation field of a thin film transistor, the electric conduction phenomenon by optical exposure arose, and there was a problem on which the off property of a thin film transistor deteriorates.

[0006] Moreover, it consisted of a reflexible metallic material, and since the black matrix which occupies a large area o the display screen was formed, the light of the exterior by the side of the display screen reflected outside by the black matrix, a screen is hard to see (it becomes like a mirror), and there was a problem to which contrast falls to and display quality falls in the inner surface of the up transperence glass substrate which becomes a display screen side (observatic side).

[0007] In order to solve the above problems, metal membranes, such as Cr, are not used for a black matrix, but the approach of forming a black matrix using a photolithography technique, print processes, etc. is proposed using the

organic system ingredient colored black. however , the problem to which it be necessary to thicken thickness in the black matrix formed using the organic system ingredient since there be no protection from light effectiveness like a metal membrane , consequently it become impossible for pattern precision to fall and to clarify the profile of the pixel which be the original object since the configuration and dimension of a pattern edge become complicated and it vary , and display quality fall arise .

[0008] The object of this invention is to offer the liquid crystal display which can clarify the profile of a pixel while controlling deterioration of the display quality by degradation of the OFF property of the thin film transistor by the echo of light, and the echo of light.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned object, it is characterized by the liquid crystal display of this invention coming to contain two-layer [of the dark-colored (black is desirable) organic system ingredient film which the black matrix prepared inside the metal membrane prepared in the edge which constitutes the profile of the black matrix concerned, and the above-mentioned metal membrane].

[0010]

[Function] In this invention, since the body of a black matrix was formed by the dark-colored organic system ingredient film, deterioration of the display quality by degradation of the OFF property of the thin film transistor by the echo of the light which was the conventional trouble, and the echo of light can be controlled. Moreover, since the edge which constitutes the profile of a black matrix was formed by the metal membrane, the profile of a pixel can be clarified.

[0011]

[Example] Hereafter, the color liquid crystal display of the active matrix which should apply this invention is explained

[0012] In addition, in the complete diagram for explaining a liquid crystal display, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0013] Hereafter, the configuration of this invention is explained with the example which applied this invention to the color liquid crystal display of an active matrix.

[0014] In addition, in the complete diagram for explaining an example, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0015] Drawing 1 is the sectional view of the up transparence glass substrate in which the black matrix by one example of this invention is shown.

[0016] Drawing 2 is the sectional view (the TFT section (: the 2-2 cutting-plane-line section of drawing 3), and seal section) of the liquid crystal display section (liquid crystal display component) of the color liquid crystal display of an active matrix with which this invention is applied.

[0017] The top view in which drawing 3 shows 1 pixel and its circumference of the liquid crystal display with which this invention is applied, and drawing 4 are the sectional views in four to 4 cutting plane line of drawing 2 . Moreover, : top view when two or more pixels shown in drawing 3 have been arranged is shown in drawing 5 (important section to view).

[0018] (Pixel arrangement) As shown in drawing 3 , each pixel is arranged in the crossover field of two adjoining scan signal lines (a gate signal line or level signal line) GL and two adjoining video-signal lines (a drain signal line or vertical signal line) DL (inside of the field surrounded with four signal lines). Each pixel is thin film transistor TFT, the transparence pixel electrode ITO1, and the retention volume component Cadd. It contains. The scan signal line GL extends in the direction of a train, and is arranged two or more at the line writing direction. The video-signal line DL extends in a line writing direction, and is arranged two or more in the direction of a train.

[0019] (The whole display cross-section structure) As shown in drawing 2 , a thin film transistor TFT and the transparence pixel electrode ITO1 are formed in the lower transparence glass substrate SUB1 side on the basis of liquid crystal LC, and the black matrix BM which forms a light filter FIL and the black matrix pattern for protection from light is formed in the up transparence glass substrate SUB2 side. In addition, the detail of the black matrix BM is explained later using drawing 1 and drawing 8 . lower transparence glass substrate SUB1 -- for example, -- It consists of thickness of 1.1 [mm] extent. Moreover, the silicon oxide film SIO formed of DIP processing etc. is formed in both sides of the transparence glass substrates SUB1 and SUB2. For this reason, since a sharp blemish can be covered by the silicon oxide film SIO even if a sharp blemish is shown in the front face of the transparence glass substrates SUB1 and SUB2, it can prevent effectively that the scan signal line GL and a light filter FIL are damaged.

[0020] Although the center section of drawing 2 shows the cross section of a 1-pixel part, left-hand side shows the cross section of a part where external drawer wiring exists in the left side edge part of the transparence glass substrates SUB1 and SUB2, and right-hand side shows the cross section of a part where external drawer wiring does not exist in the right

side edge part of the transparen glass substrates SUB1 and SUB2.

[0021] Sealant SL shown in each of the left-hand side of drawing 2 and right-hand side is constituted so that liquid crystal LC may be closed, and it is formed along the whole edge perimeter of the transparen glass substrates SUB1, and SUB2 except liquid crystal enclosure opening (not shown). Sealant SL is formed with the epoxy resin.

[0022] The common transparen pixel electrode ITO2 by the side of up transparen glass substrate SUB2 is connected to external drawer wiring formed in the lower transparen glass substrate SUB1 side of the silver paste material SIL in the piece place at least. This external drawer wiring is formed by the same production process as each of the gate electrode GT, the source electrode SD 1, and the drain electrode SD 2.

[0023] Each layer of the orientation film ORI1 and ORI2, the transparen pixel electrode ITO1, the common transparen pixel electrode ITO2, protective coats PSV1 and PSV2, and an insulator layer GI is formed inside sealant SL. Polarizing plates POL1 and POL2 are formed in the front face of the outside of lower transparen glass substrate SUB1 and up transparen glass substrate SUB2, respectively.

[0024] Liquid crystal LC is enclosed between the lower orientation film ORI1 and the up orientation film ORI2 which set up the sense of a liquid crystal molecule, and the seal is carried out by the seal section SL.

[0025] The lower orientation film ORI1 is formed in the upper part of the protective coat PSV1 by the side of lower transparen glass substrate SUB1.

[0026] The black matrix BM, a light filter FIL, a protective coat PSV2, the common transparen pixel electrode ITO2 (COM), and the up orientation film ORI2 carry out a laminating to the front face inside up transparen glass substrate SUB2 (liquid crystal LC side) one by one, and are prepared in it.

[0027] This liquid crystal display forms independently each layer by the side of lower transparen glass substrate SUB1 and up transparen glass substrate SUB2, and those bottom transparen glass substrates SUB1 and SUB2 of Gokami are assembled by enclosing liquid crystal LC between superposition and both.

[0028] ((BM) Black matrix) The i-type semiconductor layer AS for which an extraneous light (drawing 2 the light from the upper part and drawing 1 light from a lower part) is used as a channel formation field of a thin film transistor TFT is hit, the electric conduction phenomenon by optical exposure arises, and while clarifying the profile of each pixel, in order to prevent that the OFF property of a thin film transistor TFT deteriorates, the black matrix BM is formed in the up transparen glass substrate SUB2 side as a light-shielding film. The black matrix BM consists of two-layer [of the organic black system ingredient film ORG prepared inside the metal membrane MTL prepared in the edge which constitutes the profile of the black matrix BM concerned, and the metal membrane MTL], as shown in drawing 1 . Let the black matrix BM be a pattern as shown in hatching of drawing 8 . Moreover, the part which attached crosshatching shows the pattern of a metal membrane MTL. The broken line of drawing 8 shows the pattern of the organic system ingredient film ORG. In addition, drawing 8 is a top view describing the 3rd electric conduction film d3, the light filter FIL, and the black matrix BM which consist of ITO film in drawing 3 . The metal membrane MTL of the black matrix BM is formed including at least one sort, such as chromium with the high electric shielding nature to light, nickel, and aluminum, and the chromium film is formed in the thickness of about 1300A, and width of face of about 10-60 micrometers by sputtering in this liquid crystal display. Moreover, the organic system ingredient film ORG is colored and formed in the dyeing base material which consists of tingibility resin ingredients, such as acrylic resin and polyvinyl resin, with the black color. Moreover, the organic system ingredient film ORG is formed by about 1-4-micrometer thickness, and is formed inside about 5-10 micrometers from the edge of a metal membrane MTL.

[0029] The i-type semiconductor layer AS of thin film transistors TFT1 and TFT2 is made sandwiches with the black matrix BM which exists up and down, and the oversized gate electrode GT, and the external natural light and back light stop therefore, as for the part, hitting. The black matrix BM is formed in the perimeter of each pixel as the hatching part of drawing 8 shows, that is, the black matrix BM is formed in the shape of a grid, and the 1-pixel effective viewing area is divided with this grid. Therefore, the profile of each pixel carries out clearly by the black matrix BM, and contrast improves. That is, the black matrix BM has two functions of the protection from light to the i-type semiconductor layer AS, and a black matrix.

[0030] Moreover, since the body of the black matrix BM was formed by the organic black system ingredient film ORG deterioration of the display quality by degradation of the OFF property of the thin film transistor TFT by the echo of the light which was the conventional trouble, and the echo of light can be controlled. Moreover, since the edge which constitutes the profile of the black matrix BM was formed by the metal membrane MTL, the profile of a pixel can be clarified. That is, the metal membrane MTL with a sufficient pattern precision has amended dispersion in the configuration and dimension of the edge of the organic system ingredient film ORG.

[0031] Moreover, since the part (drawing 3 lower right part) which counters the edge section by the side of the origin of the direction of rubbing of the transparen pixel electrode ITO1 is shaded by the black matrix BM and a domain cannot

be seen even if a domain occurs into the above-mentioned part, a display property does not deteriorate.

[0032] In addition, installation and lower transparency glass substrate SUB1 can also be made into an observation side (external exposure side) for a back light at the up transparency glass substrate SUB2 side.

[0033] Next, an example of the formation approach of the black matrix BM is explained. First, after forming Cr film with the sputtering method or vacuum deposition on up transparency glass substrate SUB2 on the whole surface, it is processed like the pattern shown by crosshatching of drawing 8 using a well-known photolithography technique. Next, tingibility resin, such as acrylic resin, is applied by the spin coat method or the roll coat method. This tingibility resin has for example, a desirable photo-curing mold resist, and can carry out patterning easily with a well-known photolithography technique. Then, negatives are developed by irradiating ultraviolet rays through a predetermined mask, and it is processed like the pattern shown in the broken line of drawing 8. Next, black color liquid dyes tingibility resin, resist-printing processing is performed using a tannic acid or tartaric-acid antimonyl sodium, the organic black system ingredient film ORG is formed, and the black matrix BM is completed. In addition, a black color does not dye the resin which carried out patterning, but beforehand, what mixed at least one side of carbon black and a black pigment may be applied to acrylic resin or polyvinyl resin, and patterning may be carried out to them like the above. Moreover, the organic system ingredient film ORG may be formed using print processes.

[0034] (Light filter FIL) A light filter FIL colors a color the dyeing base material formed with resin ingredients, such as acrylic resin, and is constituted. A light filter FIL is formed in the location which counters a pixel in the shape of a strip (drawing 9), and is dyed in various colors (drawing 9 is a thing only describing the 3rd electric conduction membrane layer d3 of drawing 5 , the black matrix BM, and a light filter FIL, and each light filter FIL of B, R, and G has given the hatch way of 45 degrees, 135 ", and a cross, respectively). As shown in drawing 8 , a light filter FIL is formed in oversized so that all the transparency pixel electrodes ITO1 may be covered, and the black matrix BM is formed inside the periphery section of the transparency pixel electrode ITO1 so that it may lap with the edge parts of a light filter FIL and the transparency pixel electrode ITO1.

[0035] A light filter FIL can be formed as follows. First, a dyeing base material is formed in the front face of up transparency glass substrate SUB2 in which the black matrix BM which consists of two-layer [of a metal membrane MTL and the organic system ingredient film ORG] was formed selectively, and a photolithography technique removes dyeing base materials other than a red filter formation field. Then, a dyeing base material is dyed with a red color, fixing processing is performed, and the red filter R is formed. Sequential formation of the green filter G and the blue filter B is carried out by giving the same process to the next.

[0036] (Thin film transistor TFT) If a thin film transistor TFT impresses forward bias to the gate electrode GT, the channel resistance between source-drains will become small, and if bias is made into zero, channel resistance will operate so that it may become large.

[0037] The thin film transistor TFT of each pixel is divided into two (plurality) in a pixel, and consists of thin film transistors (division thin film transistor) TFT1 and TFT2. Each of thin film transistors TFT1 and TFT2 consists of same sizes (channel length and channel width are the same) substantially. Each of these divided thin film transistors TFT1 and TFT2 consists of an i-type semiconductor layer AS which mainly consists of the gate electrode GT, a gate-dielectric-film GI, and i mold amorphous silicon (Si), a source electrode SD 1 of a couple, and a drain electrode SD 2. In addition since a source drain is originally decided by the bias polarity in the meantime and working reversal of that polarity is carried out in the circuit of this liquid crystal display, please understand that a source drain interchanges during actuation. However, for convenience, the method of one is fixed with the source, and the following explanation also fixes another side with a drain, and expresses.

[0038] ((GT) Gate electrode) The gate electrode GT consists of configurations which project from the scan signal line GL perpendicularly (it sets to drawing 3 and drawing 6 , and is above), as shown in a detail at drawing 6 (top view describing the 1st electric conduction film g1 of drawing 3 , the 2nd electric conduction film g2, and the i-type semiconductor layer AS) (it has branched in the T character configuration). The gate electrode GT is constituted so that it may project to each formation field of thin film transistors TFT1 and TFT2. Each gate electrode GT of thin film transistors TFT1 and TFT2 is constituted by one (as a common gate electrode), and is formed in it succeeding the scan signal line GL. The gate electrode GT consists of 1st electric conduction film g1 of a monolayer so that a large level difference may not be made in the formation field of a thin film transistor TFT. The 1st electric conduction film g1 is formed by the thickness of 1000 [**] extent for example, using the chromium (Cr) film formed by the spatter.

[0039] This gate electrode GT is formed in oversized from it so that the i-type semiconductor layer AS may be covered thoroughly, as shown in drawing 2 , drawing 3 , and drawing 6 (in view of a lower part). Therefore, when the back lights BL, such as a fluorescent lamp, are attached under lower transparency glass substrate SUB1, the gate electrode GT which consists of this opaque chromium serves as a shadow, back light light is not equivalent to the i-type

semiconductor layer AS, but off property degradation of the electric conduction phenomenon TFT by optical exposure, i.e., a thin film transistor, stops being able to occur in it easily. In addition, the original magnitude of the gate electrode GT has width of face indispensable (also including a part for alignment allowances with the gate electrode GT, the source electrode SD 1, and the drain electrode SD 2) to straddle between the source electrode SD 1 and the drain electrodes SD 2. The depth die length which determines channel width W is decided by into how many factor W/L which determines the ratio gm with the distance L between the source electrode SD 1 and the drain electrode SD 2 (channel length), i.e., a mutual conductance, is made.

[0040] It is made larger than the original magnitude mentioned above as well as the magnitude of the gate electrode GT in this liquid crystal display.

[0041] In addition, if it thinks only from the gate of the gate electrode GT, and the functional side of protection from light, the gate electrode GT and the scan signal line GL may be formed in one in a single layer, and the aluminum (aluminum) which made silicon contain as an opaque electrical conducting material in this case, pure aluminium, the aluminum which made palladium (Pd) contain can be chosen.

[0042] (Scan signal line GL) The scan signal line GL consists of bipolar membrane which consists of the 2nd electric conduction film g2 prepared in the 1st electric conduction film g1 and its upper part. The 1st electric conduction film g1 of this scan signal line GL is formed by the same production process as the 1st electric conduction film g1 of the gate electrode GT, and is constituted by one. The 2nd electric conduction film g2 is formed by the thickness of 1000-5500 [**] extent using the aluminum film formed by the spatter. The 2nd electric conduction film g2 reduces the resistance of the scan signal line GL, and it is constituted so that improvement in the speed (improvement in a write-in property of the information on a pixel) of a signal transduction rate can be attained.

[0043] Moreover, the scan signal line GL constitutes small the width-of-face dimension of the 2nd electric conduction film g2 compared with the width-of-face dimension of the 1st electric conduction film g1. Namely, as for the scan signal line GL, the level difference configuration of the side attachment wall is loose.

[0044] ((GI) Insulator layer) An insulator layer GI is used as each gate dielectric film of thin film transistors TFT1 and TFT2. The insulator layer GI is formed in the upper layer of the gate electrode GT and the scan signal line GL. An insulator layer GI is formed by the thickness of 3000 [**] extent using the silicon nitride film formed by plasma CVD.

[0045] ((AS) I-type semiconductor layer) The i-type semiconductor layer AS is used as each channel formation field of the thin film transistors TFT1 and TFT2 divided into plurality, as shown in drawing 6. The i-type semiconductor layer AS is formed by the amorphous silicon film or the polycrystalline silicon film, and is formed by the thickness of about 1800 [**] extent.

[0046] Succeeding formation of the insulator layer GI used as gate dielectric film which changes the component of distributed gas and consists of Si3N4, this i-type semiconductor layer AS is the same plasma-CVD equipment, and it is formed, without moreover exposing outside from that plasma-CVD equipment. Moreover, N(+) mold semi-conductor layer d0 (drawing 2) which doped P for ohmic contacts continues similarly, and it is abbreviation. It is formed in the thickness of 400 [**]. After an appropriate time, lower transparence glass substrate SUB1 is taken out from a CVD system outside, and patterning is carried out to the shape of an island which became independent as a photographic-processing technique showed N(+) mold semi-conductor layer d0 and the i-type semiconductor layer AS to drawing 2, drawing 3, and drawing 6.

[0047] The i-type semiconductor layer AS is formed also among both of the intersection (crossover section) of the scan signal line GL and the video-signal line DL, as shown in a detail at drawing 3 and drawing 6. The i-type semiconductor layer AS of this intersection is constituted so that the short circuit of the scan signal line GL and the video-signal line DL in an intersection may be reduced.

[0048] ((SD) The source electrode SD 1, the drain electrode 2) On the i-type semiconductor layer AS, it is isolated, respectively and each source electrode SD 1 of the thin film transistors TFT1 and TFT2 divided into plurality and the drain electrode SD 2 are formed, as drawing 2, drawing 3, and drawing 7 (top view only describing the 1st - the 3rd electric conduction film d1-d3 of drawing 3) show to a detail.

[0049] Each of the source electrode SD 1 and the drain electrode SD 2 makes it pile up the 1st electric conduction film d1, the 2nd electric conduction film d2, and each other's 3rd electric conduction film d3 one by one, and consists of lower layer sides in contact with N(+) mold semi-conductor layer d0. The 1st electric conduction film d1, the 2nd electric conduction film d2, and the 3rd electric conduction film d3 of the source electrode SD 1 are formed by the same production process as the 1st electric conduction film d1 of the drain electrode SD 2, the 2nd electric conduction film d2, and the 3rd electric conduction film d3.

[0050] the 1st electric conduction film d1 uses the chromium film formed by the spatter -- it forms by the thickness (thin liquid crystal display thickness of 600 [**] extent) of 500-1000 [**]. Since stress will become large if thickness is

formed thickly, the chromium film is formed in the range which does not exceed the thickness of 2000 [**] extent. The chromium film has good contact in N(+) mold semi-conductor layer d0. The chromium film constitutes the so-called barrier layer which prevents that the aluminum of the 2nd electric conduction film d2 mentioned later is spread in N(+) mold semi-conductor layer d0. As the 1st electric conduction film d1, you may form by the refractory metal (Mo, Ti, Ta, W) film and refractory metal silicide (MoSi₂, TiSi₂, TaSi₂, WSi₂) film other than the chromium film.

[0051] After carrying out patterning of the 1st electric conduction film d1 by photographic processing, N(+) mold semi-conductor layer d0 is removed by using the 1st electric conduction film d1 as a mask, using the same mask for photographic processing. That is, as for N(+) mold semi-conductor layer d0 which remained on the i-type semiconductor layer AS, parts other than 1st electric conduction film d1 are removed by the self aryne. N(+) mold semi-conductor layer d0 should just control that extent by dirty time amount, although the i-type semiconductor layer AS sleeps together in that surface part a little since the amount of [all] that thickness sleeps together so that it may be removed at this time.

[0052] After an appropriate time, the 2nd electric conduction film d2 is formed in the thickness (this liquid crystal display thickness of 3500 [**] extent) of 3000-5500 [**] by sputtering of aluminum. The aluminum film has small stress compared with the chromium film, and forming in thick thickness is possible, and it is constituted so that the resistance of the source electrode SD 1, the drain electrode SD 2, and the video-signal line DL may be reduced. As the 2nd electric conduction film d2, silicon and copper (Cu) other than the aluminum film may be formed by the aluminum film made to contain as an additive.

[0053] The 3rd electric conduction film d3 is formed after patterning by the photographic-processing technique of the 2nd electric conduction film d2. This 3rd electric conduction film d3 consists of transparence electric conduction film (Indium-Tin-Oxide ITO: Nesa membrane) formed by sputtering, and is formed by the thickness (this liquid crystal display thickness of 1200 [**] extent) of 1000-2000 [**]. This 3rd electric conduction film d3 constitutes the transparence pixel electrode ITO1 while constituting the source electrode SD 1, the drain electrode SD 2, and the video-signal line DL.

[0054] Each of the 1st electric conduction film d1 of the source electrode SD 1 and the 1st electric conduction film d1 of the drain electrode SD 2 has entered inside greatly compared with the upper 2nd electric conduction film d2 and the upper 3rd electric conduction film d3 (to inside of a channel field). That is, the 1st electric conduction film d1 in these parts is constituted so that channel length L of a thin film transistor TFT can be specified regardless of the 2nd electric conduction film d2 and the 3rd electric conduction film d3.

[0055] The source electrode SD 1 is connected to the transparence pixel electrode ITO1. The source electrode SD 1 is constituted in accordance with the level difference configuration (level difference equivalent to the thickness adding the thickness of the 1st electric conduction film g1, the thickness of N(+) mold semi-conductor layer d0, and the thickness of the i-type semiconductor layer AS) of the i-type semiconductor layer AS. The 1st electric conduction film d1 with which the source electrode SD 1 was specifically formed in accordance with the level difference configuration of the i-type semiconductor layer AS, It consists of 2nd electric conduction film d2 which formed the side connected with the transparence pixel electrode ITO1 in the upper part of this 1st electric conduction film d1 compared with it in small size and 3rd electric conduction film d3 connected to the 1st electric conduction film d1 which is exposed from this 2nd electric conduction film d2. Since the chromium film of the 1st electric conduction film d1 cannot form thickly the 2nd electric conduction film d2 of the source electrode SD 1 from buildup of stress and the level difference configuration of the i-type semiconductor layer AS cannot be overcome, it is constituted in order to overcome this i-type semiconductor layer AS. That is, the 2nd electric conduction film d2 is improving step coverage by forming thickly. Since the 2nd electric conduction film d2 can be formed thickly, it has contributed to reduction of the resistance (the same is said of the drain electrode SD 2 and the video-signal line DL) of the source electrode SD 1 greatly. Since the 3rd electric conduction film d3 cannot overcome the level difference configuration resulting from the i-type semiconductor layer AS of the 2nd electric conduction film d2, it consists of making small size of the 2nd electric conduction film d2 so that it may connect with the 1st electric conduction film d1 to expose. Since the level difference configuration of the connection between about [that the 1st electric conduction film d1 and the 3rd electric conduction film d3 have a good adhesive property] and both is small, the source electrode SD 1 and the transparence pixel electrode ITO1 are certainly connectable.

[0056] The source electrode SD 1 is connected to the transparence pixel electrode ITO1. The source electrode SD 1 is constituted in accordance with the level difference configuration (level difference equivalent to the thickness adding the thickness of the 1st electric conduction film g1, the thickness of N(+) mold semi-conductor layer d0, and the thickness of the i-type semiconductor layer AS) of the i-type semiconductor layer AS. The 1st electric conduction film d1 with which the source electrode SD 1 was specifically formed in accordance with the level difference configuration of the i-

type semiconductor layer AS, It consists of 2nd electric conduction film d2 which formed the side connected with the transperence pixel electrode ITO1 in the upper part of this 1st electric conduction film d1 compared with it in small size and 3rd electric conduction film d3 connected to the 1st electric conduction film d1 which is exposed from this 2nd electric conduction film d2. Since the chromium film of the 1st electric conduction film d1 cannot form thickly the 2nd electric conduction film d2 of the source electrode SD 1 from buildup of stress and the level difference configuration of the i-type semiconductor layer AS cannot be overcome, it is constituted in order to overcome this i-type semiconductor layer AS. That is, the 2nd electric conduction film d2 is improving step coverage by forming thickly. Since the 2nd electric conduction film d2 can be formed thickly, it has contributed to reduction of the resistance (the same is said of the drain electrode SD 2 and the video-signal line DL) of the source electrode SD 1 greatly. Since the 3rd electric conduction film d3 cannot overcome the level difference configuration resulting from the i-type semiconductor layer AS of the 2nd electric conduction film d2, it consists of making small size of the 2nd electric conduction film d2 so that it may connect with the 1st electric conduction film d1 to expose. Since the level difference configuration of the connection between about [that the 1st electric conduction film d1 and the 3rd electric conduction film d3 have a good adhesive property] and both is small, the source electrode SD 1 and the transperence pixel electrode ITO1 are certainly connectable.

[0057] (Transperence pixel electrode ITO1) The transperence pixel electrode ITO1 constitutes one side of the pixel electrode of the liquid crystal display section.

[0058] The transperence pixel electrode ITO1 is connected to the source electrode SD 1 of a thin film transistor TFT1, and the source electrode SD 1 of a thin film transistor TFT2. for this reason, when a defect occurs, one [TFT1], for example, the thin film transistor, of the thin film transistors TFT1 and TFT2 While separating the video-signal line DL from a thin film transistor TFT1 by a laser beam etc. in a production process If a thin film transistor TFT1 and the transperence pixel electrode ITO1 are separated, it does not become a point defect and a line defect, but since there is almost nothing, it can make the probability for a point defect to occur very small that a defect moreover occurs simultaneously in two thin film transistors TFT1 and TFT2.

[0059] (Protective coat PSV1) The protective coat PSV1 is formed on the thin film transistor TFT and the transperence pixel electrode ITO1. It is formed in order that a protective coat PSV1 may mainly protect a thin film transistor TFT from moisture etc., and high moreover, transparency uses a damp-proof good thing. The protective coat PSV1 is formed with the silicon oxide film and silicon nitride film which were formed for example, with plasma-CVD equipment, and is formed by the thickness of 8000 [**] extent.

[0060] (Common transperence pixel electrode ITO2) The common transperence pixel electrode ITO2 counters the transperence pixel electrode ITO1 prepared in the lower transperence glass substrate SUB1 side for every pixel, and the optical condition of liquid crystal LC answers the potential difference between each pixel electrode ITO1 and the common transperence pixel electrode ITO2 (electric field), and it changes. In this common transperence pixel electrode ITO2, it is the common electrical potential difference Vcom. It is constituted so that it may be impressed. Common electrical potential difference Vcom The driver voltage Vdmin of the low level impressed to the video-signal line DL, and high-level driver voltage Vdmax It is medium potential.

[0061] (Protective coat PSV2) The protective coat PSV2 is formed in order to prevent that the color which dyed the light filter FIL in various colors in a different color leaks to liquid crystal LC. The protective coat PSV2 is formed with transperence resin ingredients, such as acrylic resin and an epoxy resin.

[0062] (The whole display equal circuit) The schematics of the equal circuit and circumference circuit of the display matrix section are shown in drawing 10 . Although this drawing is a circuit diagram, it is drawn corresponding to actual geometric arrangement. AR is the matrix array which arranged two or more pixels in the shape of-dimensional [2].

[0063] Among drawing, X means the video-signal line DL and Subscripts G, B, and R are added corresponding to green, blue, and a red pixel, respectively. Y means the scan signal line GL and is subscripts 1, 2, and 3, --, end. It is added according to the sequence of scan timing.

[0064] The video-signal line X (subscript abbreviation) is connected to the upside (or odd number) video-signal actuation circuit helium and the bottom (or even number) video-signal actuation circuit Ho by turns.

[0065] SUP is a circuit including the circuit which exchanges for the information for TFT-liquid-crystal displays the information for CRT (cathode-ray tube) from the power circuit and host (host processor) for acquiring the stable voltage source which plurality pressured partially from one voltage source.

[0066] (Structure of the retention volume component Cadd) In the edge connected with a thin film transistor TFT, and the edge of an opposite hand, the transperence pixel electrode ITO1 is formed so that it may lap with the next scan signal line GL. This superposition is the retention volume component (electrostatic-capacity component) Cadd which uses the transperence pixel electrode ITO1 as one electrode PL 2, and uses the next scan signal line GL as the electrode

PL 1 of another side so that clearly also from drawing 4 . It constitutes. This retention volume component Cadd The dielectric film consists of same layers as the insulator layer GI used as gate dielectric film of a thin film transistor TFT. [0067] Retention volume component Cadd It is formed in the part which expanded the width of face of the 1st electric conduction film g1 of the scan signal line GL so that clearly also from drawing 6 . In addition, the 1st electric conduction film g1 of the part which intersects the video-signal line DL is made thin in order to make small the probability of a short circuit with the video-signal line DL.

[0068] Retention volume component Cadd Like the source electrode SD 1, in case a level difference configuration is overcome, the island field which consisted of 1st electric conduction film d1 and 2nd electric conduction film d2 is established in the part between the transparence pixel electrodes ITO1 and Electrodes PL 1 which are piled up since it constitutes so that the transparence pixel electrode ITO1 may not be disconnected. This island field is constituted as small as possible so that area (numerical aperture) of the transparence pixel electrode ITO1 may not be fallen. (The equal circuit and actuation of the retention volume component Cadd) The equal circuit of the pixel shown in drawing 3 is shown in drawing 11 . In drawing 11 , Cgs is parasitic capacitance formed between the gate electrode GT of a thin film transistor TFT, and the source electrode SD 1. The dielectric film of parasitic capacitance Cgs is an insulator layer GI. Cpix It is the liquid crystal capacity formed between the transparence pixel electrode ITO1 (PIX) and the common transparence pixel electrode ITO2 (COM). Liquid crystal capacity Cpix Dielectric films are liquid crystal LC, a protective coat PSV1, and the orientation film ORI1 and ORI2. Vlc is middle point potential.

[0069] Retention volume component Cadd Gate potential change ΔV_g to the middle point potential (pixel electrode potential) Vlc when a thin film transistor TFT switches It works so that effect may be reduced. If this situation is expressed with a formula, it will become like a degree type.

[0070] $\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$ -- here -- ΔV_{lc} -- ΔV_g A changed part of the middle point potential to depend is expressed. This change part ΔV_{lc} is retention volume Cadd, although it becomes the cause of the dc component which joins liquid crystal LC. The more it enlarges, the more that value can be made small. Moreover, retention volume component Cadd There is also an operation which lengthens a charging time value and the image information after a thin film transistor TFT turns off is accumulated for a long time. Reduction of the dc component impressed to liquid crystal LC can improve the life of liquid crystal LC, and the so-called printing by which a front image remains at the time of the change of a liquid crystal display screen can be reduced.

[0071] As mentioned above, overlap area with the part, the source electrode SD 1, and the drain electrode SD 2 which are enlarged increases, therefore parasitic capacitance Cgs becomes large so that the gate electrode GT may cover the i-type semiconductor layer AS thoroughly, and the middle point potential Vlc is the gate (scan) signal Vg. The opposite effect of becoming easy to be influenced arises. However, retention volume component Cadd This demerit is also cancelable by preparing.

[0072] Retention volume component Cadd Retention volume is the write-in property of a pixel to the liquid crystal capacity Cpix. It receives and is set as the value of extent eight to 32 times ($8 < C_{gs} < C_{add} < 32$, C_{gs}) to four to 8 time (4 , $C_{pix} < C_{add} < 8$, and C_{pix}), and parasitic capacitance Cgs.

[0073] (retention volume component Cadd The connection approach of an electrode line) The scan signal line GL (Y0) of the first rank used only as a retention volume electrode line is connected to the common transparence pixel electrode ITO2 (Vcom) as shown in drawing 10 . The common transparence pixel electrode ITO2 is connected to external drawer wiring by the silver paste material SL in the periphery section of a liquid crystal display, as shown in drawing 2 . And some electric conduction film (g1 and g2) of this external drawer wiring consists of same production processes as the scan signal line GL. Consequently, the retention volume electrode line GL of the last stage is easily [the common transparence pixel electrode ITO2] connectable.

[0074] Retention volume electrode line Y0 of the first rank Scan signal line Yend of the last stage Connection and Vcom It connects with the direct-current potential point (alternating current grounding point) of an except, or is the scan pulse Y0 to one excess from the vertical roadway circuit V. You may connect so that popularity may be won.

[0075] As mentioned above, although invention made by this invention person was concretely explained based on said example, as for this invention, it is needless to say for it to be able to change variously in the range which is not limited to said example and does not deviate from the summary.

[0076] For example, although the above-mentioned example explained the liquid crystal display of an active matrix, it cannot be overemphasized that it is applicable also to the liquid crystal display of a passive matrix.

[0077] Moreover, in the above-mentioned example, although the reverse stagger structure of gate electrode formation - gate-dielectric-film formation -> semi-conductor stratification -> source drain electrode formation was shown, up Shimomoseki charge or the sequence of this invention to make is effective also with the stagger structure of it and

reverse.

[0078]

[Effect of the Invention] Since the body of a black matrix was formed in the liquid crystal display of this invention by the dark-colored organic system ingredient film prepared inside the metal membrane prepared in the edge which constitutes the profile of the black matrix concerned as explained above, deterioration of the display quality by degradation of the OFF property of the thin film transistor by the echo of the light which was the conventional trouble, and the echo of light can be controlled. Moreover, since the edge which constitutes the profile of a black matrix was formed by the metal membrane, the profile of a pixel can be clarified. Therefore, the display quality of a liquid crystal display can be improved.

[Translation done.]

NOTICES *

IPPO and NCIPPI are not responsible for any damages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

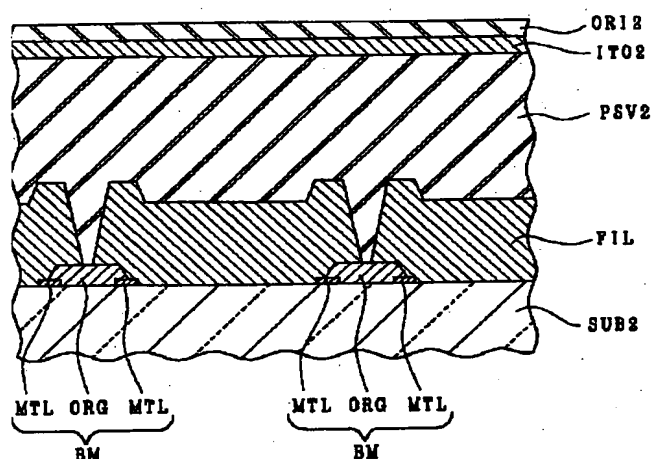
**** shows the word which can not be translated.

In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

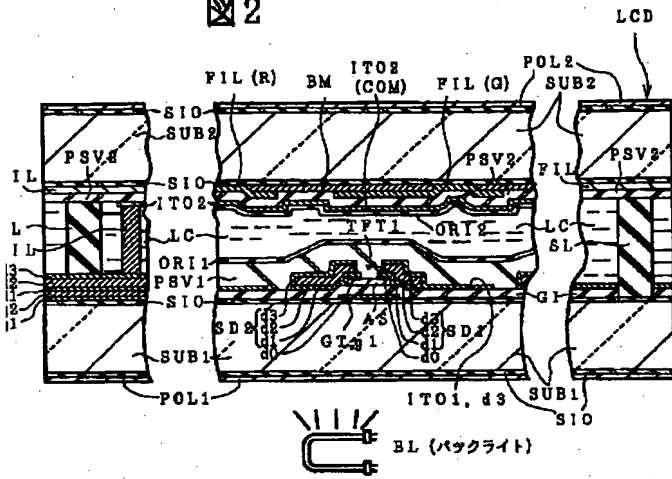
図 1



BM...ブラックマトリクス
 MTL...金属膜
 ORG...有機系材料膜
 SUB2...上部透明ガラス基板
 FIL...カラーフィルタ
 PSV2...カラーフィルタの保護膜
 ITO2...共通透明画素電極
 ORI2...上部配向膜

[Drawing 2]

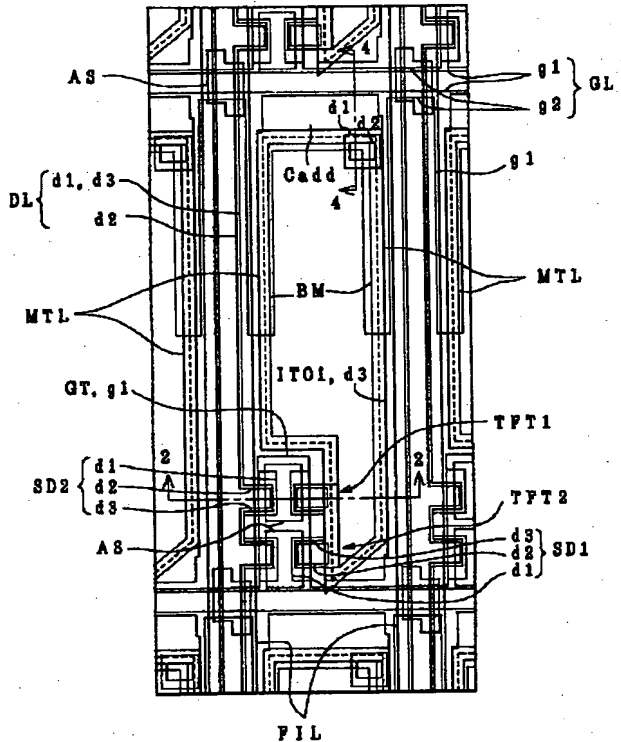
図 2



POL1, POL2...偏光板
 SUB2...上部ガラス基板
 FIL...カラーフィルタ
 PSV2...カラーフィルタの保護膜
 IT02...共通透明画素電極
 OR12...上部配向膜
 LC...液晶
 OR11...下部配向膜
 BM...ブラックマトリックス
 PSV1...TFTの保護膜
 IT01 (層d3)...透明画素電極
 S D...ソース・ドレイン電極 (層d1~d3)
 A S...1型半導体層
 G I...ゲート絶縁膜
 G T...ゲート電極 (層g1, g2)
 SUB1...下部ガラス基板
 B L...バックライト
 S I O...酸化シリコン膜

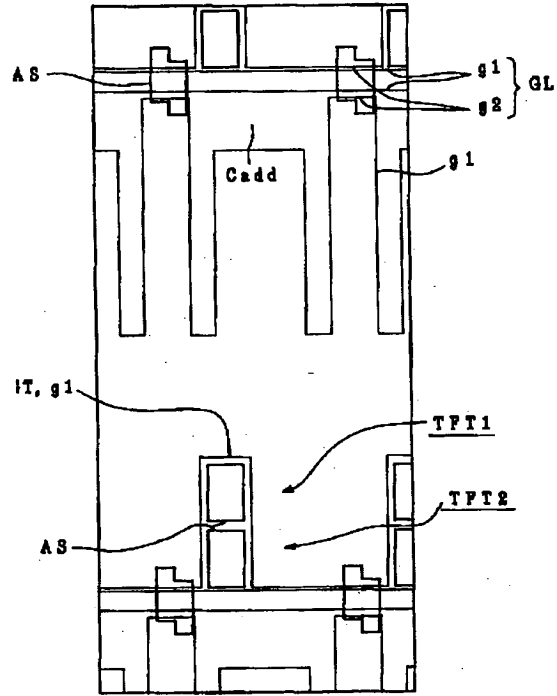
[Drawing 3]

図 3



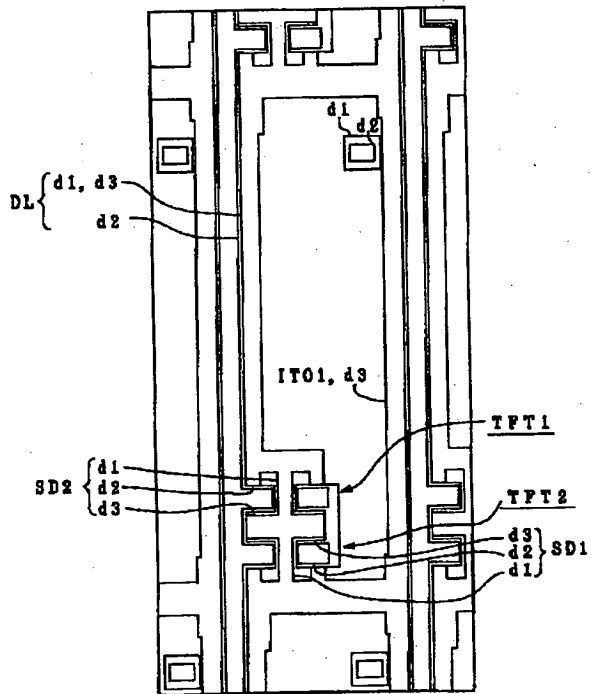
[Drawing 4]

図 6



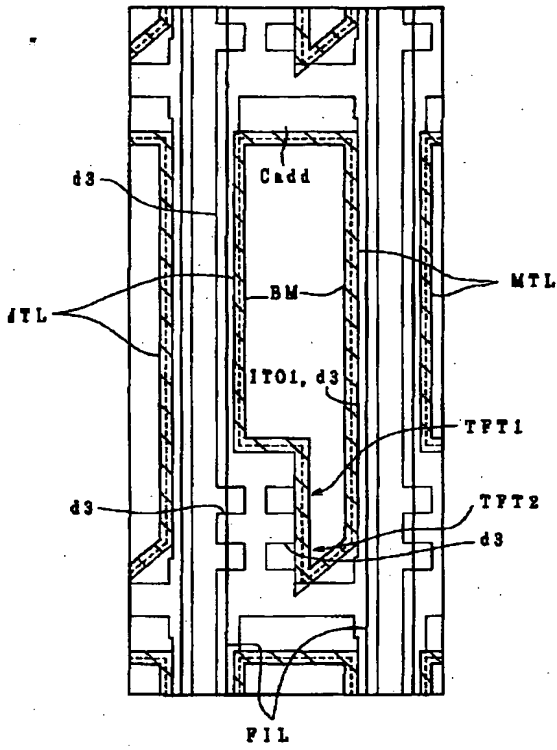
[Drawing 7]

図 7



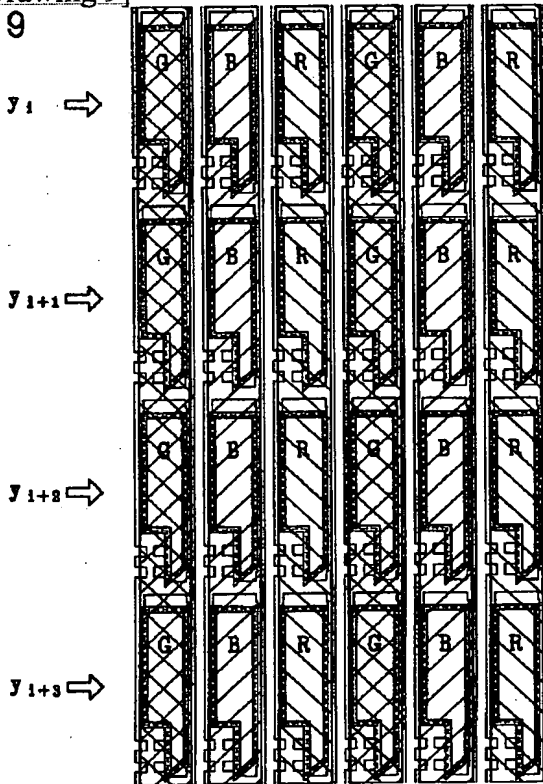
[Drawing 8]

8



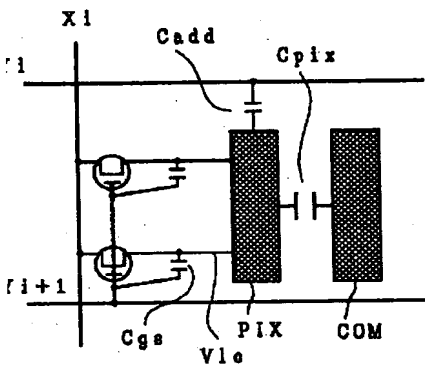
[Drawing 9]

9



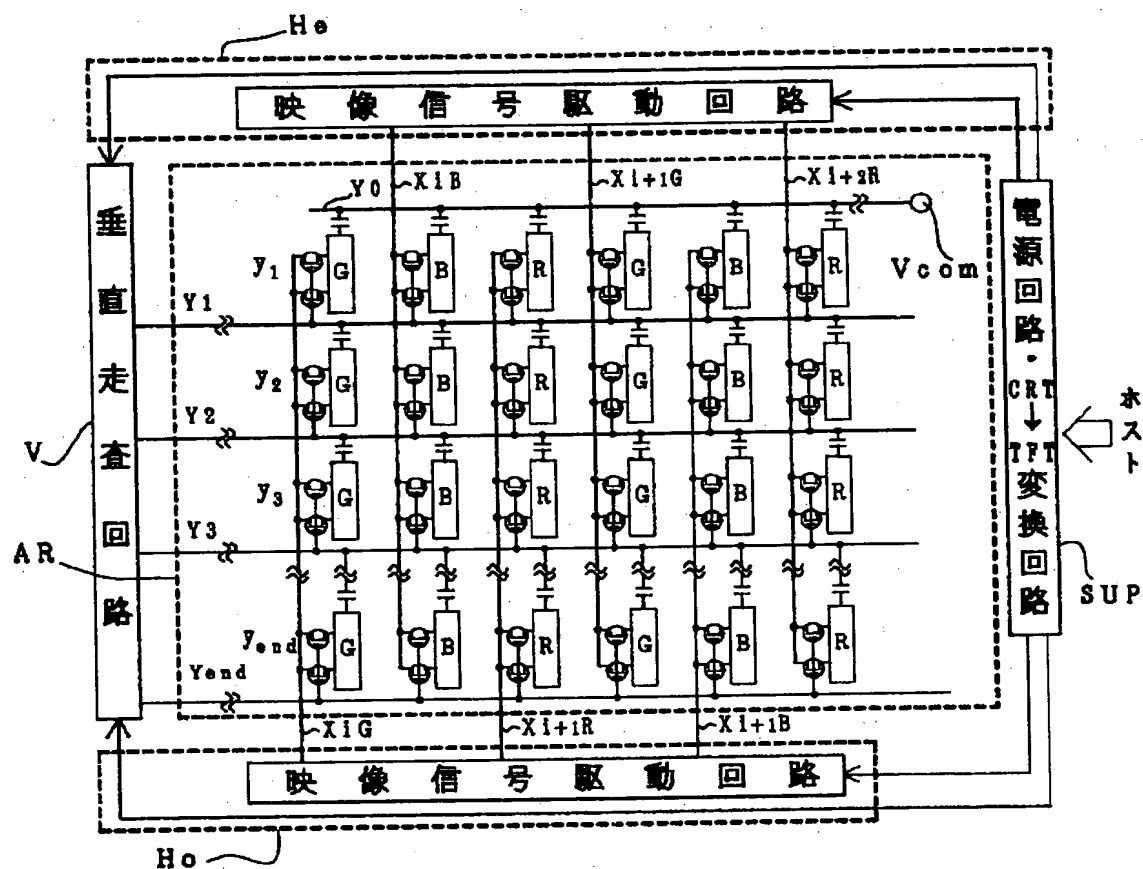
[Drawing 11]

図 11



[Drawing 10]

図 10



[Translation done.]